

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-186041
(43)Date of publication of application : 15.07.1997

(51)Int.CI.

H01F 41/08
H01F 41/04
H05K 3/42

(21)Application number : 08-193357
(22)Date of filing : 23.07.1996

(71)Applicant : AUTOSPLICE SYST INC
(72)Inventor : KRONE KENNETH P
TRITES JOHN F

(30)Priority

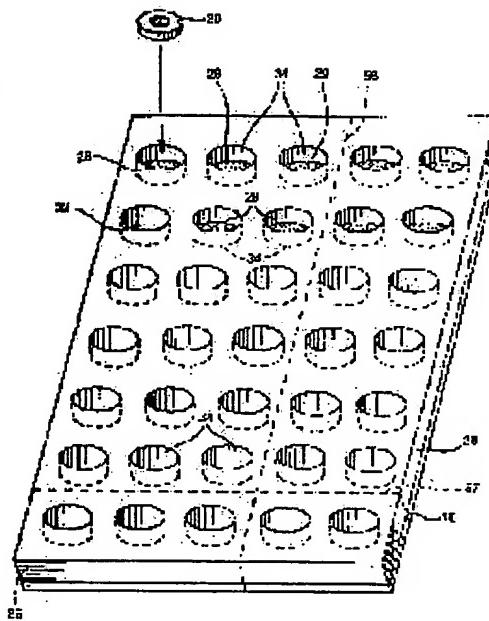
Priority number : 95 505955 Priority date : 24.07.1995 Priority country : US

(54) MANUFACTURE OF FERROMAGNETIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable mass production of a ferromagnetic component of high performance at a low cost.

SOLUTION: Inductive electric components manufactured by a PWB(printed wiring board) technique of ferromagnetic cores 30 are buried in an insulating board wherein a conducting layer is formed. Conductive through holes (vias) are formed on both sides of the cores 30 and in the board. A pattern of the conducting layer is formed, one or more couples of conductive winding parts are formed together with the conductive layer through holes, and windings surrounding the cores 30 are formed. A contact pad on the board is formed. The pattern of the conducting layer is so formed that the pad forms a conductive trace connected with the windings.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平9-186041

(43)公開日 平成9年(1997)7月15日

(51) Int.Cl.⁶
 H01F 41/08
 41/04
 H05K 3/42 640 7511-4E

F I
 H01F 41/08
 41/04
 H05K 3/42 640 B

審査請求 未請求 請求項の数26 OL (全11頁)

(21)出願番号 特願平8-193357

(22)出願日 平成8年(1996)7月23日

(31)優先権主張番号 08/505, 955

(32)優先日 1995年7月24日

(33)優先権主張国 米国(US)

(71)出願人 596098553
 オートスプライス システムズ インコーポレイテッド

アメリカ合衆国 カリフォルニア州 92121
 1 サンディエゴ バーネスキニオンロード 10121

(72)発明者 ケネス ピー クローン
 アメリカ合衆国 カリフォルニア州 92129
 9 サンディエゴ ドーマウスロード 125-24

(74)代理人 弁理士 竹沢 荘一 (外1名)

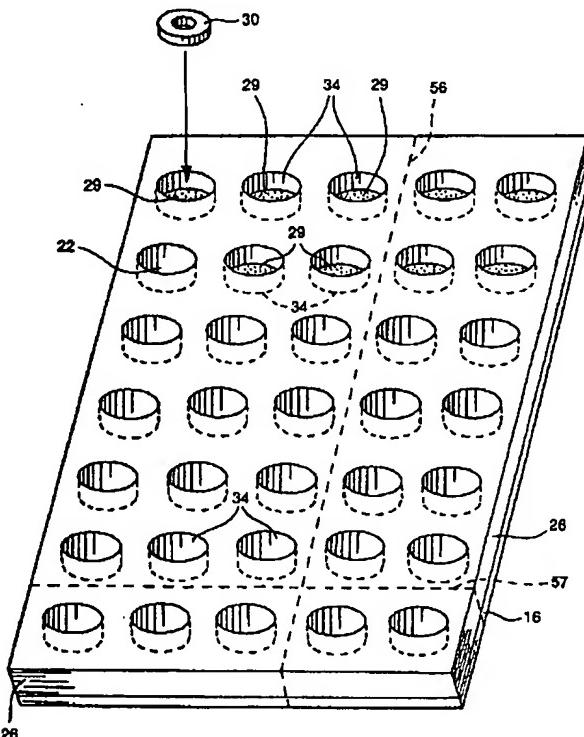
最終頁に続く

(54)【発明の名称】強磁性デバイスの製造方法

(57)【要約】

【課題】 高性能の強磁性部品を低成本で大量生産可能にする。

【解決手段】 導電層が設けられた絶縁基板内に、強磁性コアのPWB技術によって製造された誘導性電気部品を埋め込む。コアの両側で基板内に、導電性スルーホール(ビア)を設ける。導電層のパターンを形成し、導電層スルーホールと共に1つ以上の組の導電性巻線部を形成し、コアを囲む巻線を形成する。基板上の接触パッドを形成し、このパッドを、巻線に接続する導電性トレスを形成するように、導電層のパターンを形成する。



【特許請求の範囲】

【請求項 1】 (a) 非磁性絶縁層を有するキャリア内に強磁性コアを埋め込む工程と、

(b) 絶縁層の両側の表面にそれぞれ第 1 および第 2 導電層を設ける工程と、

(c) 強磁性コアの両側に前記キャリアを貫通し、第 1 および第 2 導電層に接続する導電性貫通孔を形成する工程と、

(d) その後、第 1 および第 2 導電層のパターンを形成し、導電性貫通孔のうちの一部と共に強磁性コアを囲む相互接続された、少なくとも 1 組の導電性巻線を形成し、少なくとも 1 つの、前記電子部品の第 1 コイルを形成する工程とを有する、強磁性デバイスの製造方法。

【請求項 2】 第 1 および第 2 導電層のパターンを形成し、他の導電性貫通孔と共に強磁性コアを囲む相互接続された導電性巻線の少なくとも別の組を形成し、強磁性コアによって第 1 コアに磁気的に結合された少なくとも第 2 コイルを形成する工程とを有する、請求項 1 記載の方法。

【請求項 3】 (a) 非磁性絶縁層を有するキャリア内に強磁性コアを埋め込む工程と、

(b) 絶縁層の両側の表面にそれぞれ第 1 および第 2 導電層を設ける工程と、

(c) 強磁性コアの両側に前記キャリアを貫通し、第 1 および第 2 導電層に接続する導電性貫通孔を形成する工程と、

(d) その後、第 1 および第 2 導電層のパターンを形成し、導電性貫通孔のうちの一部と共に強磁性コアを囲む相互接続された、少なくとも 1 組の導電性巻線を形成し、少なくとも 1 つの、前記電子部品の第 1 コイルを形成する工程とを有する、トランス、チョークまたはインダクタとして使用するための電子部品の製造方法。

【請求項 4】 第 1 および第 2 導電層のパターンを形成し、他の導電性貫通孔と共に強磁性コアを囲む相互接続された導電性巻線の少なくとも別の組を形成し、強磁性コアによって第 1 コアに磁気的に結合された少なくとも第 2 コイルを形成する工程 (e) を有する、請求項 3 記載の方法。

【請求項 5】 (a) 両側の表面が、それぞれ少なくとも第 1 および第 2 導電層によってカバーされた中間絶縁層を有するキャリアを設ける工程と、

(b) キャリア内に少なくとも 1 つのキャビティを設ける工程と、

(c) 強磁性材料のコアをキャビティ内に挿入する工程と、

(d) 強磁性コアの両側に前記キャリアを貫通し、第 1 および第 2 導電層に接続した導電性貫通孔を形成する工程と、

(e) その後、第 1 および第 2 導電層のパターンを形成し、導電性貫通孔のうちの一部と共に強磁性コアを囲む

10

相互接続された、少なくとも 1 組の導電性巻線を形成し、少なくとも 1 つの、前記電子部品の第 1 コイルを形成する工程とを有する、インダクタ、トンラスまたはチョークとして使用するための電子部品の製造方法。

【請求項 6】 第 1 および第 2 導電層のパターンを形成し、他の導電性貫通孔と共に強磁性コアを囲む相互接続された導電性巻線の少なくとも別の組を形成し、強磁性コアによって第 1 コアに磁気的に結合された少なくとも第 2 コイルを形成する工程とを有する、請求項 5 記載の方法。

【請求項 7】 キャリア内に複数のキャビティを設け、各キャビティ内に強磁性コアを挿入する、請求項 5 記載の方法。

【請求項 8】 キャビティがめくら孔である、請求項 7 記載の方法。

【請求項 9】 コアが環状またはロッド状である、請求項 5 記載の方法。

【請求項 10】 (f) キャリアの両側に、第 3 および第 4 外側導電層でそれぞれカバーされた第 2 および第 3 絶縁層を設ける工程と、

(g) 強磁性コアの両側で、第 1 および第 4 導電層に接続した導電性貫通孔を形成する工程と、

(h) 第 3 および第 4 導電層のパターンを形成し、工程

(g) の貫通孔と共に強磁性コアの一部を囲む導電層巻線の少なくとも第 2 の組を形成する工程とを有する、請求項 5 記載の方法。

【請求項 11】 キャリアから 1 つ以上の電子部品を切断する工程を有し、各部品が、少なくとも 1 つのコイルおよびこのコイルに接続された少なくとも 1 組の接触パッドによって囲まれた強磁性コアを含む、請求項 10 記載の方法。

【請求項 12】 (a) 両側の表面が、それぞれ少なくとも第 1 および第 2 導電層によってカバーされた中間絶縁層を有するキャリアを設ける工程と、

(b) キャリア内に、少なくとも 1 つのキャビティを設ける工程と、

(c) 強磁性材料のコアをキャビティ内に挿入する工程と、

(d) コア孔を絶縁材料で満たす工程と、

40 (e) 前記キャリアを貫通し、その外部を通り、強磁性コア孔内の絶縁材料を貫通し、第 1 および第 2 導電層に接続した導電性貫通孔を形成する工程と、

(f) 第 1 および第 2 導電層のパターンを形成し、導電性貫通孔のうちの一部と共に、強磁性コアを囲む相互接続された、少なくとも 1 組の導電性巻線を形成し、少なくとも 1 つの、前記電子部品の第 1 コイルを形成する工程とを有する、インダクタ、トンラスまたはチョークとして使用するための電子部品の製造方法。

【請求項 13】 工程 (a) ~ (e) の後に工程 (f) を実行する、請求項 12 記載の方法。

50

- 【請求項 14】 (a) 両側の表面が、それぞれ少なくとも第 1 および第 2 導電層によってカバーされた中間絶縁層を有するキャリアを設ける工程と、
 (b) キャリア内に少なくとも 1 つのキャビティを設ける工程と、
 (c) 強磁性材料のコアをキャビティ内に挿入する工程と、
 (d) 強磁性コアの両側に前記キャリアを貫通し、第 1 および第 2 導電層に接続した導電性貫通孔を形成する工程と、

(e) 第 1 および第 2 導電層のパターンを形成し、導電性貫通孔のうちの一部と共に強磁性コアを囲む相互接続された、少なくとも 1 組の導電性巻線を形成し、少なくとも 1 つの、前記電子部品の第 1 コイルを形成する工程と、

(f) キャリアの両側に第 3 および第 4 外側導電層でそれぞれカバーされた第 2 および第 3 絶縁層を設ける工程と、

(g) 強磁性コアの両側で第 1 および第 4 導電層に接続した導電性貫通孔を形成する工程と、

(h) 第 3 および第 4 導電層のパターンを形成し、工程 (g) の貫通孔と共に強磁性コアの一部を囲む導電層巻線の少なくとも第 2 の組を形成する工程とを有する、インダクタ、トランスまたはチョークとして使用するための電子部品の製造方法。

【請求項 15】 (a) 少なくとも第 1 および第 2 の外側導電性部品と、第 3 の内側絶縁部品との組立体を備え、

(b) 前記第 1 導電性部品が第 3 の内側素子に第 1 導電性トレースを形成し、

(c) 前記第 2 導電性部品が第 3 の内側部品に第 2 導電性トレースを形成し、

(d) 更に第 3 の内側部品内のキャビティ内に絶縁充填材料によって封入された強磁性部品と、

(e) この強磁性部品の両側にて前記組立体を貫通し、前記第 1 導電性トレースと第 2 導電性トレースの間に設けられ、これら導電性トレースに接続された第 1 導電性ピアとを備え、

(f) 前記導電性ピアが接続された第 1 および第 2 の導電性トレースと共に強磁性部品を囲む、少なくとも 1 回の巻線から成る少なくとも第 1 の電気巻線を形成し、

(g) 第 1 電気巻線の少なくとも両端に対するターミナル接続部とを備える強磁性デバイス。

【請求項 16】 (a) 少なくとも第 1 および第 2 の外側導電性部品と、第 3 の内側の絶縁部品との組立体を備え、

(b) 前記第 1 導電性部品が第 3 の内側素子に第 1 導電性トレースを形成し、

(c) 前記第 2 導電性部品が第 3 の内側部品に第 2 導電性トレースを形成し、

(d) 更に第 3 の内側部品内のキャビティ内に絶縁充填

材料によって封入された強磁性部品と、

(e) この強磁性部品の両側にて前記ラミネートされた組立体を貫通し、前記第 1 導電性トレースと第 2 導電性トレースの間に設けられ、これら導電性トレースに接続された第 1 導電性ピアとを備え、

(f) 前記導電性ピアが接続された第 1 および第 2 の導電性トレースと共に強磁性部品を囲む少なくとも 1 回の巻線から成る少なくとも第 1 の電気巻線を形成し、

(g) 第 1 電気巻線の少なくとも両端に対するターミナル接続部とを備えるインダクタ、トランスまたはチョークとして使用するための電子部品。

【請求項 17】 第 1 電気巻線が複数の巻線から成る、請求項 16 記載の部品。

【請求項 18】 コアが環状またはロッド状コアである、請求項 17 記載の部品。

【請求項 19】 コアが可能であり、ピアがこの環状コアの内外に延びる、請求項 18 記載の部品。

【請求項 20】 第 1 および第 2 導電性部品にそれぞれ設けられた少なくとも 1 つの別の対の絶縁部品と、前記追加された対の絶縁部品にそれぞれ形成された少なくとも 1 つの追加された対の導電性トレースと、強磁性部品の両側にて延び追加された対の導電性トレースの間に接続され、これら導電性トレースと共に強磁性部品を囲む少なくとも 1 つの第 2 電気巻線を形成する第 2 導電性ピアと、第 2 電気巻線の少なくとも両端に対するターミナル接続部を更に備える、請求項 16 記載の部品。

【請求項 21】 第 1 および第 2 電気巻線の各々が、複数回の巻線から成る、請求項 20 記載の部品。

【請求項 22】 第 2 電気巻線の巻線部が第 1 電気巻線の巻線部に重なっている、請求項 21 記載の部品。

【請求項 23】 第 3 の内側絶縁素子内に複数の強磁性素子が埋め込まれ、複数の強磁性部品上に 1 つ以上の巻線を形成する別のピアおよびトレースが設けられ、複数の強磁性部品上の巻線を相互に接続し、組立体上に集積回路を形成する手段が設けられている、請求項 16 記載の部品。

【請求項 24】 コアが、1 つの孔を有する環状のものであり、絶縁材料がこのコアの孔を満たし、導電性ピアの一部が、強磁性素子を封入する絶縁材料を貫通する、請求項 16 記載の部品。

【請求項 25】 (a) 少なくとも第 1 および第 2 の外側導電性部品と、第 3 の内側の絶縁部品との組立体を備え、

(b) 前記第 1 導電性部品が第 3 の内側素子に第 1 導電性トレースを形成し、

(c) 前記第 2 導電性部品が第 3 の内側部品に第 2 導電性トレースを形成し、

(d) 第 3 の内側部品内に埋め込まれた強磁性部品と、

(e) この強磁性部品の両側にて前記ラミネートされた組立体を貫通し、前記第 1 導電性トレースと第 2 導電性

トレースの間に設けられ、これら導電性トレースに接続された第1導電性ピアとを備え、

(f) 前記導電性ピアは、接続された第1および第2の導電性トレースと共に強磁性部品に巻かれた少なくとも1回の巻線から成る少なくとも第1の電気巻線を形成し、

(g) 第1電気巻線の少なくとも両端に対するターミナル接続部と、

(h) 第1および第2導電性部品にそれぞれ設けられた少なくとも1つの別の対の絶縁部品と、

(i) 前記追加された対の絶縁部品にそれぞれ形成された少なくとも1つの追加された対の導電性トレースと、

(j) 強磁性部品の両側にて延び追加された対の導電性トレースの間に接続され、これら導電性トレースと共に強磁性部品を囲む少なくとも1つの第2電気巻線を形成する第2導電性ピアと、

(k) 第2電気巻線の少なくとも両端に対するターミナル接続部を更に備えた、インダクタ、トランスまたはチョークとして使用するための電子部品

【請求項26】 コアが孔を有する環状のものであり、絶縁材料がこの孔を満たし、ピアが環状コアの外側を延び、絶縁材料で満たされたコア孔を貫通する、請求項25記載の部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プリント配線基板(PWB)技術により強磁性部品、例えばインダクタ、チョークおよびトランスを製造するための方法および装置に関する。

【0002】

【従来の技術】 トロイダル強磁性コアを使用する誘導性部品、例えばトランス、共通モードチョーク、リレー、他の磁気結合された部品またはデバイスは、これまで、次のようにディスクリート部品として製造されている。トロイダルコアに絶縁された銅線または磁気ワイヤ手動でまたは自動的に巻き、その後、巻いたコイルを封入し、このコアを使用する応用回路に必要なコイルのリード線のターミナルをハンダ付け処理している。従来技術の巻線作業は、労働コストの50%を占め、ターミナルのハンダ処理および封入作業コストは、それぞれ40%および50%を占めている。従来の技術の総労働コストは、販売物品の総コストの約65%を占めている。その結果、得られる部品の高周波性能(例えば漏洩インダクタンス、分布および巻線間容量、長手方向のバランス)は、磁気ワイヤを取り付ける場合の品質管理が困難であることにより、かなりバラツキがある。

【0003】

【発明が解決しようとする課題】 本発明の目的は、従来の製品と比較して、より低いコストで高性能のインダクタおよびトランス製品を大量生産できる強磁性部品の製

造技術を提供することにある。

【0004】 本発明の別の目的は、性能に関する品質管理が良好な、より信頼性の高い繰り返し使用可能な部品を提供する、強磁性部品製造技術を提供することにある。

【0005】

【課題を解決するための手段】 本発明の1つの特徴によれば、PWB技術を使った大量生産により誘導性部品を製造する。本発明の方法では、強磁性コアを孔に取り付

10 けるか、または基板、すなわちキャリア内に埋め込む。これら基板すなわちキャリアは、主に電気的に絶縁性で非磁性材料であるが、キャリアの主な両側の面には導電性層が被覆されている。

【0006】 各強磁性コアの両側には、導電性であり、ピア(当技術分野では異なるレベルまたは組立体の層における導電性ポイント間の電気的相互接続部を形成する導電性の孔を意味する)として働くスルーホールが設けられ、コアを囲むコイルを形成する1つ以上の巻線部の1組の側面を形成する。コイルの巻線部の頂部および底部は、導電層のパターンを形成することによって形成する。

【0007】 好ましい実施例では、組立体を形成するように共にラミネートされた4枚のPWB層のサンドイッチ体によってキャリアを形成する。内側PWB層上の導電層トレースがピアと共に使用され、トロイダル状強磁性コアを囲む第1コイルを形成し、外側PWB層上の導電性トレースがピアと共に使用され、トロイダルコアを囲み、第1コイルの上に重合された第2コイルを形成する。

30 【0008】 誘導性部品を製造するこの方法の主な利点は、コア巻、封入およびハンダによるターミナル処理を含む手作業の集中的な方法を解消できることである。このような手動の作業の低減は、必要な作業量を低減するだけでなく、作業コストを低減することにより製造コストを大幅に低減する。その理由は、本発明の技術を実行するには低い技能レベルでよいからである。

【0009】 別の重要な利点としては、製造公差をより厳しくできるので、この方法によって得られる部品の高周波パラメータを厳密に制御できることが挙げられる。

40 例えば、標準的なPWB技術を用いれば最適位置の1ミルの範囲内にすべてのピアおよび導電性トレースを設置することが可能である。

【0010】 本発明の非限定的な好ましい実施例を例として示した添付図面を参照して、次の詳細な説明および特許請求の範囲を参照すれば、本発明をより完全に理解できると共に、上記およびそれ以外の目的および利点がより明らかとなろう。図中、同一符号は同一または対応する部品を示す。

【0011】

50 【発明の実施の態様】 次に、本発明に係わるタップ付1

次巻線および2次巻線を備えたトランスの製造を例に、詳細に説明することとする。

【0012】多くの用途では、部品は導電性層によってコーティングまたは他の方法によって被覆され、打ち抜き加工または機械加工によりピア（vias）が形成された通常の絶縁基板から部品を製造できる。更に、所望の数のワイヤーまたは所望の巻回数、巻線法、例えばバイファイラー巻、トライファイラー巻またはクアドファイラー巻、種々の形状、例えばタップなし、単一センタータップまたはデュアルセンタータップおよび種々のコア形状を含むロッドコア、またはトロイダルコアにより誘導性部品を製造できる。

【0013】しかし、本発明の重要な特徴は、ターミナルが100ミル離間した、側面が例えば280ミルの極めて小さい寸法のマイクロインダクタ、トランスおよびその他の誘導性部品を低成本で大量生産できることにある。ピアを正確に設けるためには、通常のドリル加工または打ち抜き加工は十分に正確とはいえないで、公知のレーザードリル孔技術を使用することが好ましい。レーザードリルを行うには、ある種の剛性PWBラミネートが好ましい。

【0014】このラミネートとしては、一般に当技術分野で48～50ミル厚のCステージのラミネート材料と称されており、エポキシ/Eグラスまたはエポキシ/サーマウントの名称でデュポン社のようなメーカーから市販されている不織布アラミドタイプが挙げられる。更に、いわゆるBステージ、すなわちプリプレグラミネート材料も使用することが好ましい。

【0015】本発明の最も重要な用途としては、トロイダルコア上に1次巻線と2次巻線とを密に結合するように重ねたトランスが挙げられる。

【0016】図1は、両面銅クラッドのCステージのラミネート10を示す。このCステージのラミネート10は0.5または1.0オンスの銅フォイルシート14にラミネートされたエポキシ/Eグラスまたはエポキシ/サーマウントの数枚のシートから成る中間の導電性部分12を含む。

【0017】図2は、絶縁層18と銅フォイルシート20から構成された代表的な片面Bステージのラミネート16を示す。

【0018】図3では、Cステージのラミネート10内に、離間した孔22のパターンがドリルされている。

【0019】図4では、主要粗面24を備えた絶縁センター12が残るように、銅クラッド14の全体がエッチング除去されている。この結果得られる基板は、符号26で示されている。

【0020】良好なボンディングを保証するには、その後のラミネート工程では、表面が粗くなっていることが好ましい。絶縁基板によりスタートし、直接表面を粗面とすることが可能であるが、即座にラミネート可能な粗

面を備えた絶縁層を提供するには銅クラッドをエッチング除去する方法がより信頼性の高い方法である。

【0021】図5は、従来のラミネートプレス（図示せず）の底部に、Bステージのラミネート16が設置され、頂部にドリルされエッチングされたCステージのラミネート26が設けられた状態で、ラミネート方法を開始する状態を示している。孔22内には、ファイバーが充填されたエポキシの粉碎されたプリプレグ、すなわちケブラーパルプから成る薄膜が設けられている。コア孔22のエッチングの際に、トロイダル状強磁性コア30を設ける。

【0022】図6は、トロイダルコア30の頂部、および中心にファイバーが充填されたエポキシ、プリプレグまたはケ布拉ーパルプの別の膜32を追加し、コア30を完全に被覆し、コア30を絶縁キャリア12内に埋め込んだ状態を示している。

【0023】図7は、多数の孔の多数の行を含む、図6の組立体の斜視図である。各行は、ラミネート26をドリルすることにより形成されためくら孔34を含み、このめくら孔の底部は、ラミネート16によって閉じられている。孔34のいくつかは、ファイバーが充填されたエポキシの粉碎されたプリプレグまたはケブラー絶縁材料29を含み、この材料内に強磁性トロイダルコア30を入れる。

【0024】図8は、ドリルされエッチングされたCステージのコア26の頂部に、第2の片面の銅クラッドBステージのプライ16を追加した状態を示す。図8の内側層スタック36は、約90分の間で177°C～205°C (350°F～400°F) にて、真空ラミネートされる。

【0025】図9は、埋め込まれたトロイダルコア30が溶融ファイバー充填エポキシ、粉碎されたプリプレグまたはケブラー・パルプ29、32によって囲まれている最終のラミネートされた内側層パネル36を示す。この結果生じたラミネートパネル36は、頂部および底部が銅クラッド20によって被覆された絶縁センタープライを含む。

【0026】このラミネート工程は、コア材料の強磁性的特性が損なわれないように、真空または窒素のような不活性雰囲気内で行なうことが好ましい。また、コアは、市販されているマンガン-亜鉛またはニッケル-亜鉛の高透磁性の軟質フェライトから構成することが好ましい。これらの材料は、酸化雰囲気内で高温加熱された場合、劣化に悩まされる可能性がある。

【0027】プロセスは、図10の工程に続く。ここでは、埋め込みコア30を備えた上記工程によって得られるパネル36（以下、時によって内側パネルと称す）をレーザードリルしてコア材料の両側に貫通孔（スルーホール）38の組を形成し、これら孔を；内側層のマイクロビア孔33として働く。これらの孔は、径が3～

20ミル範囲である。レザードリルは、精度および速度の点でマイクロビア孔を形成するのに好ましい。

【0028】図11は、公知の態様で無電解メッキをした後の内側層のマイクロビア38を示す。このマイクロビア38は銅で満たされ、導電性のマイクロビア40となっている。

【0029】図12は、更に2つの工程を行った結果を示す。まず、ドリルされメッキされた内側層36に対し、従来の像照射、直接メッキ、電解メッキおよび回路エッティングを行うと、これにより、内側層の主要回路信号層42、43が得られる。次に、底部のBステージのパネル24と、エッティングされ、メッキされ、ドリルされた内側層のラミネートパネル36と、頂部のBステージのパネル24から成るサンドイッチ体を形成する。次にこのサンドイッチ体を上記のように真空ラミネートし、ラミネートされた外側層パネル44を形成する。

【0030】図16(A)および図16(B)は、内側のラミネートされた基板44の頂部60と底部62に、それぞれ設けられた内側信号トレース42、43の單一ユニット図を示す。

【0031】図13では、ラミネートされた外側層パネル44において、外側層のマイクロビア孔46をレザードリルする。

【0032】図14は、図12と同様に、ドリルされたラミネート外側層パネル44における直接または無電解、および電解メッキ外側層マイクロビア40を示す。

【0033】図15では、マイクロビアがドリルされ、メッキされた外側層ラミネート44に対し電解メッキを行い、これにより外側層の二次回路信号層50、52が形成され、完成した剛性PWBパネルが得られる。

【0034】図16(C)および図16(D)は、最上部の層および最下部の層にある外側信号トレース50、52の單一ユニット図を示す。

【0035】この結果得られた剛性PWBパネル44に対し、ハンダのマーキングおよびV字スコアリングを行う。このV字スコアリング方法は、剛性PWBパネル44の両側に水平および垂直Vスコアラインをカットする方法である。

【0036】図17は、点線56、57によりスコアラインのうちの2つを示している。埋め込まれたコアユニットの各行と各列の間に、垂直スコアライン56と水平スコアライン57が形成され、図16(A)～(D)では、接触パッドの外側が番号59で表示されている。スコアラインにて個々のユニットを切断する。

【0037】図17において、符号62で示された各ユニットは、導電性トレース42、43およびビア40によって示された内側一次巻線(図示せず)を備えた埋め込みコア50を備え、内側一次巻線の上には、導電性トレース50、52およびビア48によって示された外側の2次巻線が設けられている。1次巻線および2次巻線

の双方はコア30を囲んでいる。

【0038】図17は、まだパネル状となっている状態で剛性PWBパネル44の底辺からピン64が設置された部品の一例を示す。

【0039】図18および図19は、剛性PWBパネル44の底辺にパネル状のまま設置されたボールグリッドアレイ(BGA)ハンダバンプ68を備えた、変形されたユニット66を示す。

【0040】図16(A)～(D)から明らかなように、右側のターミナルは内側の1次巻線に接続し、左側のターミナルは外側の2次巻線に接続されている。

【0041】先の実施例は、個々のユニットを切断できる大面積PWBにおいて複数の誘導性部品を同時に製造することを説明したものである。本発明の方法は、單一ユニットの製造または部品のネットワークを形成するよう相互接続された複数の單一ユニットの製造にも適用可能である。

【0042】図20は、頂部層の信号トレース73と、底部層の信号トレース74と、メッキされたマイクロビア71と、中間絶縁ベース材料70と、埋め込まれた強磁性ロッドコア72と、アセンブリの両端に設けられた2つのI/Oパッド77とから成る单一インダクタデバイスの平面図を示す。この実施例では、單一のコイルがロッド状コア72を囲んでいる。

【0043】図21および図22は、中間絶縁ベース材料70と、頂部絶縁層75と、底部絶縁層76と、メッキされたマイクロビア71と、埋め込まれた強磁性ロッドコア72と、頂部層信号トレース73と、底部層信号トレース74と、2つのI/Oパッド77とを含む、図20に示されたと同じ單一インダクタデバイスの横断面図を示す。

【0044】図23および図24は、中間絶縁ベース材料74と、メッキされたマイクロビア71と、埋め込まれた強磁性ロッドコア72と、底部層の信号トレース73と、頂部層の信号トレース74と、頂部絶縁ベース材料75と、底部絶縁ベース材料76と、3つのI/Oパッド77を備えたデュアルインダクタデバイスの平面図および横断面図をそれぞれ示す。中間I/Oパッド77は、單一ユニットをセンタータップまたはデュアルインダクタデバイスに変換するものである。

【0045】図25は、2つのインダクタL1およびL2と、3つのチップコンデンサC1、C2およびC3と、トランジスト1と、共通モードチョークT2と、信号トレース72を備えた集積化された埋め込み強磁性フィルタデバイスの略平面図を示す。トランジスト1およびチョークT2は、4つの頂部平面信号トレースのうちの2つである42および50を備えた埋め込まれたトロイダルコア30を示す。デュアルインダクタL1およびL2は、図23に示されたと同じ物品70～77を示す。

【0046】本発明が、1組のPWBに同じ單一部品の

多数を製造すること、および1組のPWBに複数の異なる部品を製造することに適することを、この実施例は示している。

【0047】PWB内に製造される同一の部品または異なる部品の一部は、内側または外側ボード上の信号トレースにより相互接続され、電気部品の集積回路を形成する。図25の集積回路は、IEEE802.3イーサネット規格に記載されているような通信回路におけるフィルタモジュールの一部として使用できる。

【0048】上記以外の電極およびコネクタ構造も可能であることが理解できよう。また、タップ付トランス以外のタイプの誘導性部品も製造できる。また、好ましい実施例では、各巻線は多数の巻線によって構成されているが、1巻きだけの巻線も可能である。従って、本明細書で記載する1組の巻線なる用語は、1巻きまたはそれ以上の回数の巻線を含むものである。

【0049】本質的なものではないが、レザードリルの結果、巻線はより規則的な巻線を有し、より均一な電気的特性を有するので、1つの巻線の一部を形成するピアを、レザードリルによって容易に、かつ均一の間隔に設けることが好ましい。

【0050】環状、通常はトロイダル形状が好ましいコアの場合、ピアは、中心部のコア孔を貫通しなければならない。コア孔またはキャビティ内に詰め込まれ、その外周部を囲むファイバー充填エポキシ、粉碎されたパルプまたはブリプレグは絶縁性であり、これらが離間している限り、ピアの短絡を防止する。

【0051】1つの巻線を備えた簡単なインダクタを製造するには、2つのピアの各組と共にコイル巻線を形成するトレースを含む両面層状構造しか必要でない。代表的なトランスでは、コアに対する中心ラミネートと、1つの巻線のための2つの隣接する内側層と、2次巻線のための2つの外側層を備えた4層PWB構造が一般に必要である。

【0052】タップトランスの代表的寸法は、260×300ミルと65ミル厚となる。この寸法は重要ではない。大きなパネルから切断した各ユニット内に、2つ以上の部品を組み込むことが可能である。

【0053】集積モジュールでは、用途に合致するように多くのトロイダルコアおよびロッドを配置できる。更に、その後のプロセスでSMTおよびTMTまたは薄膜部品と共に埋め込み強磁性デバイスに他の部品を取り付けることができる。

【0054】上記ラミネート条件は重要ではなく、特に、異なる基板材料を使用する場合には、他の温度および時間に置換できる。基板メーカーから適当なラミネート条件入手することが可能である。

【0055】プロセス自体は、BステージおよびCステージの基板の製造、孔のレザードリル、ピアのメッキ、基板表面のメッキ、メーカーから直接得た形態で利

用できるフェライトコアと共に内側および外側パネルを形成するよう、個々の基板をラミネートすることを含む個々の周知の確立された技術を使用して良好に大量生産に合致する。更に、プリント回路基板用に、ピンまたはバンプターミナルを設けることも当技術分野では周知である。

【0056】上記した好ましい実施例では、絶縁キャリア内にフェライトコアを埋め込む。しかし、モールドにコアを設置し、仕上がった成形品が絶縁キャリア内に埋め込まれたコアを有するよう、コアの各々の回りに適當なプラスチック製の絶縁キャリアを成形することにより逆にコアの埋め込みを実施することも可能である。

【0057】次に、成形されたキャリアの両面に導電性皮膜を備えた別の層をラミネートし、トレースを設け、コアのための巻線を形成することも可能である。

【0058】以上、特定の実施例を参照して本発明について説明したが、上記説明を検討すれば、当業者には多数の代替例、変形例および変更例が可能であろう。従って、本発明は、添付した特許請求の範囲内にある代替例、変形例および変更例のすべてを含むものである。

【図面の簡単な説明】

【図1】本発明に係わるタップ付き巻線に限定されるものではないが、この巻線を含む、ある形態のトランスを製造する際の1工程の略断面図である。

【図2】本発明に係わるタップ付き巻線に限定されるものではないが、この巻線を含む、ある形態のトランスを製造する際の1工程の略断面図である。

【図3】本発明に係わるタップ付き巻線に限定されるものではないが、この巻線を含む、ある形態のトランスを30 製造する際の1工程の略断面図である。

【図4】本発明に係わるタップ付き巻線に限定されるものではないが、この巻線を含む、ある形態のトランスを製造する際の1工程の略断面図である。

【図5】基板すなわちキャリア内への個々のトロイダルコアの取り付けを示す分解斜視図である。

【図6】1つのコアの取り付けを示す、図5のキャリアの略断面図である。

【図7】図5のキャリアの斜視図である。

【図8】図1～図7で製造が開始されたトランスの製造40における別の工程を示す略断面図である。

【図9】図1～図7で製造が開始されたトランスの製造における別の工程を示す略断面図である。

【図10】図1～図7で製造が開始されたトランスの製造における別の工程を示す略断面図である。

【図11】図1～図7で製造が開始されたトランスの製造における別の工程を示す略断面図である。

【図12】図1～図7で製造が開始されたトランスの製造における別の工程を示す略断面図である。

【図13】図1～図7で製造が開始されたトランスの50 製造における別の工程を示す略断面図である。

【図14】図1～図7で製造が開始されたトランスの製造における別の工程を示す略断面図である。

【図15】図1～図7で製造が開始されたトランスの製造における別の工程を示す略断面図である。

【図16】(A)は、図1～図15で製造されたトランスの異なるレベルにおける導電性トレースパターンを示し、(B)は、図1～図15で製造されたトランスの異なるレベルにおける導電性トレースパターンを示し、(C)は、図1～図15で製造されたトランスの異なるレベルにおける導電性トレースパターンを示し、(D)は、図1～図15で製造されたトランスの異なるレベルにおける導電性トレースパターンを示す。

【図17】完成したトランスの斜視図である。

【図18】変形例の斜視図である。

【図19】変形例の側面図である。

【図20】メッキされたマイクロピアと、頂部および底部の層のメッキされた信号トレースと、I/Oパッドを備えた絶縁キャリアベースに埋め込まれた強磁性ロッドコアから製造された単一のインダクタデバイスの略平面図である。

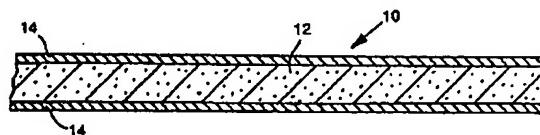
【図21】メッキされたマイクロピアと、頂部および底部の層のメッキされた信号トレースと、I/Oパッドを備えた絶縁キャリアベースに埋め込まれた強磁性ロッドコアから製造された単一のインダクタデバイスの略側面図である。

【図22】メッキされたマイクロピアと、頂部および底部の層のメッキされた信号トレースと、I/Oパッドを備えた絶縁キャリアベースに埋め込まれた強磁性ロッドコアから製造された単一のインダクタデバイスの略断面図である。

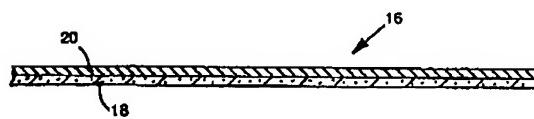
【図23】図20～図22の单一インダクタデバイス内に示されているのと同じようにして製造された付加的センタータップ付きI/Oパッドを備えたデュアルインダクタデバイスの略平面図である。

【図24】図20～図22の单一インダクタデバイス内に示されているのと同じようにして製造された付加的センタータップ付きI/Oパッドを備えたデュアルインダクタデバイスの略側面図である。

【図1】



【図2】

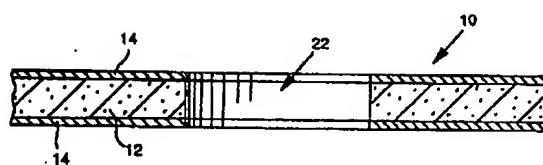


【図25】本発明に従って製造されたローカルエリアネットワーク通信用インターフェースカードで共通して見られるタイプの埋め込み型集積強磁性フィルタ部品の略平面図である。

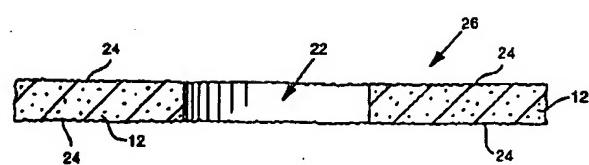
【符号の説明】

10	ラミネート
12	絶縁部分
14	銅フォイルシート
16	Bステージのラミネート
18	絶縁層
20	銅フォイルシート
22	孔
24	主要粗面
26	ボード
29	ケブラーパルプ
30	トロイダルコア
32	ケブラーパルプ
34	めくら孔
38	マイクロピア
40	マイクロピア
42, 43	回路信号層
44	外側層パネル
46	マイクロピア孔
50, 52	回路信号層
56	垂直スコアライン
57	水平スコアライン
59	接触パッド
62	個々のユニット
64	ピン
66	変形されたユニット
68	ハンドバンプ
70	絶縁ベース材料
71	マイクロピア
72	強磁性ロッドコア
73, 74	信号トレース
75	絶縁層
77	I/Oパッド
78	信号トレース

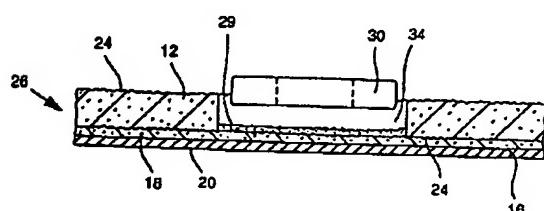
【図 3】



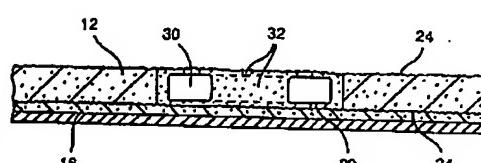
【図 4】



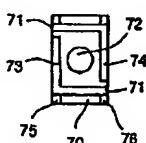
【図 5】



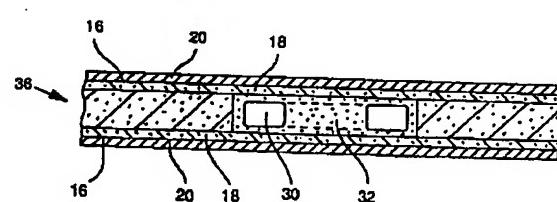
【図 6】



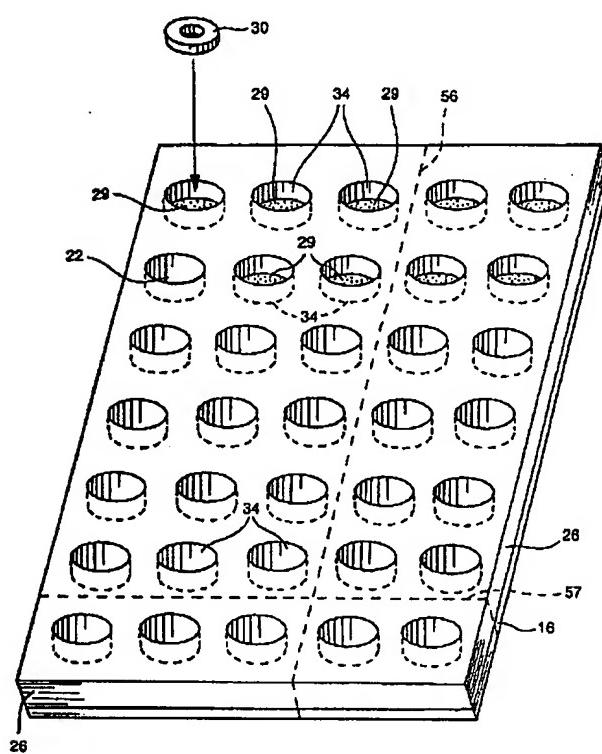
【図 21】



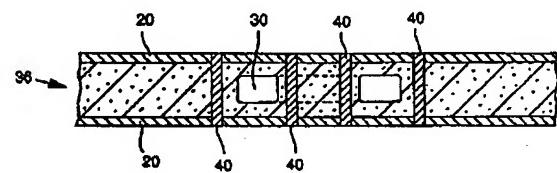
【図 8】



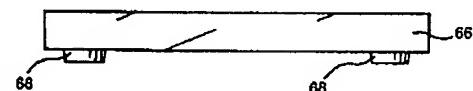
【図 7】



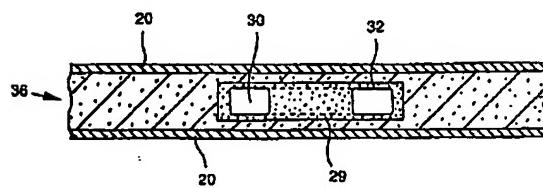
【図 11】



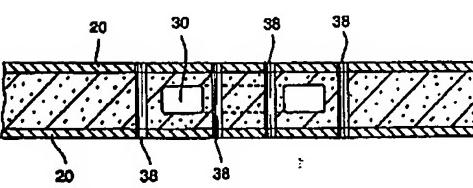
【図 19】



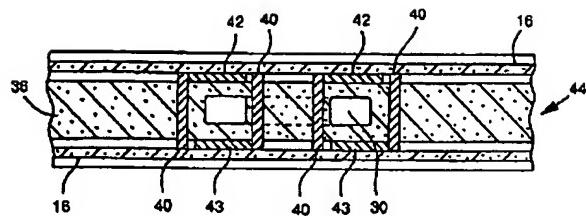
【図 9】



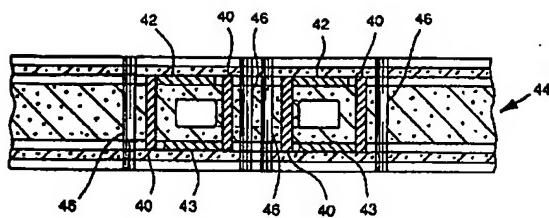
【図 10】



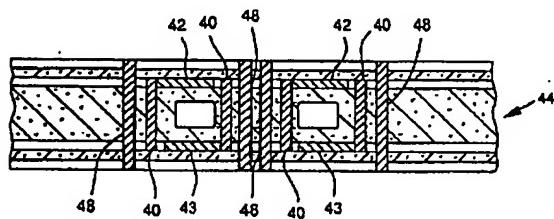
【図 1 2】



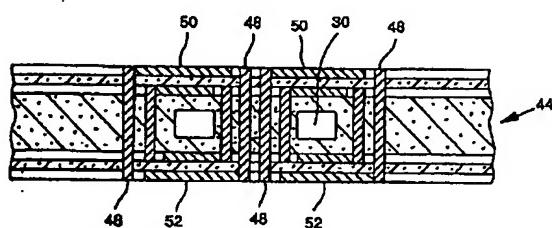
【図 1 3】



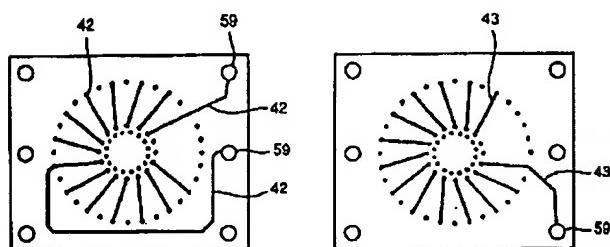
【図 1 4】



【図 1 5】

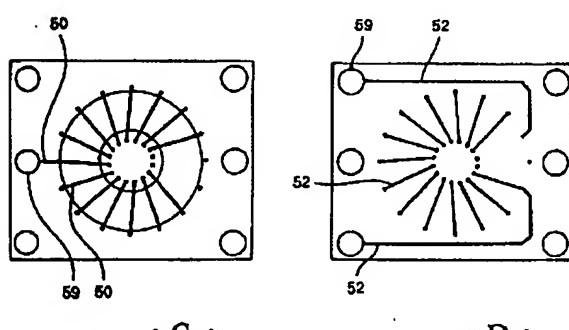
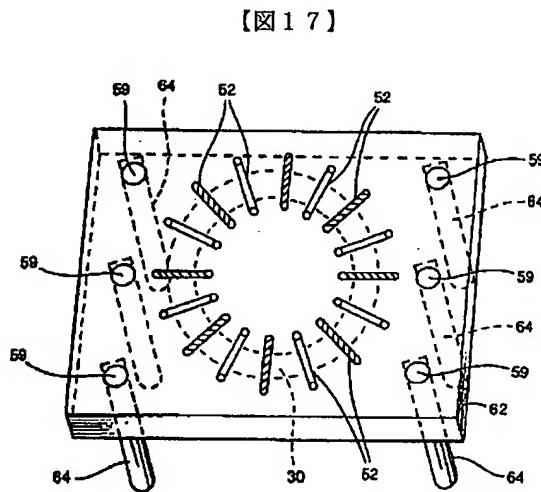


【図 1 6】



〔A〕

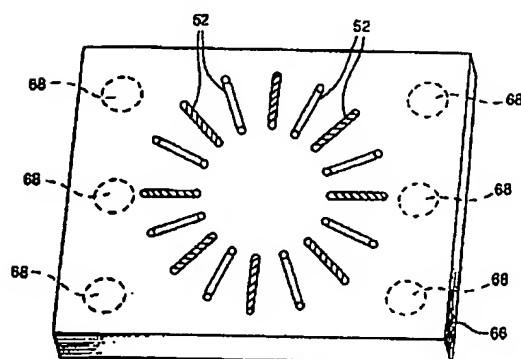
〔B〕



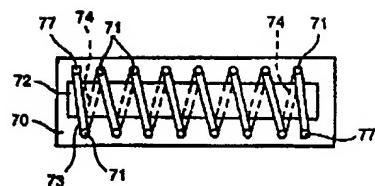
〔C〕

〔D〕

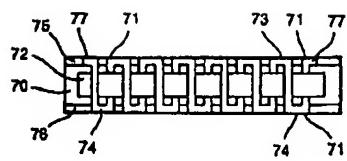
【図 1 8】



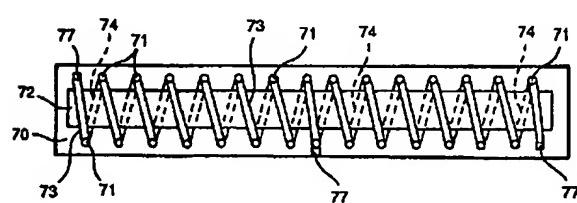
【図20】



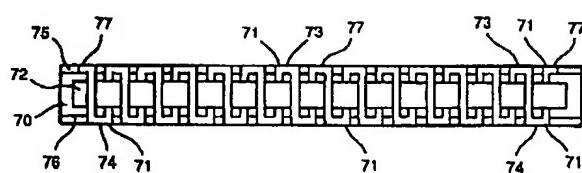
【図22】



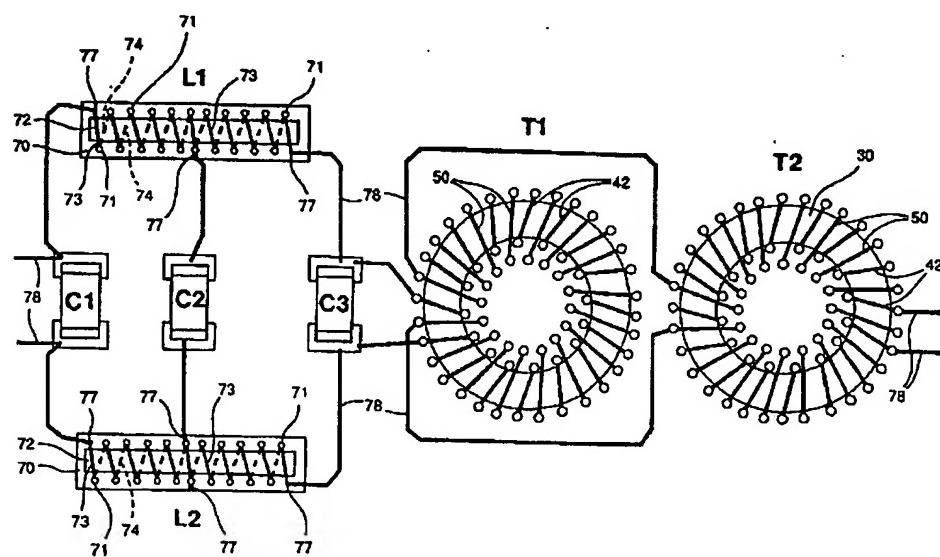
【図23】



【図24】



【図25】



フロントページの続き

(72)発明者 ジョン エフ トリーツ
 アメリカ合衆国 カリフォルニア州
 92111 サンディエゴ イーストフォック
 スランウェイ 3205